

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-148068

(43)Date of publication of application : 26.05.2000

(51)Int.Cl.

G09G 3/20
G06T 5/00
G09G 5/36
H04N 1/405
// H04N 5/66

(21)Application number : 10-315743

(22)Date of filing : 06.11.1998

(71)Applicant : VICTOR CO OF JAPAN LTD

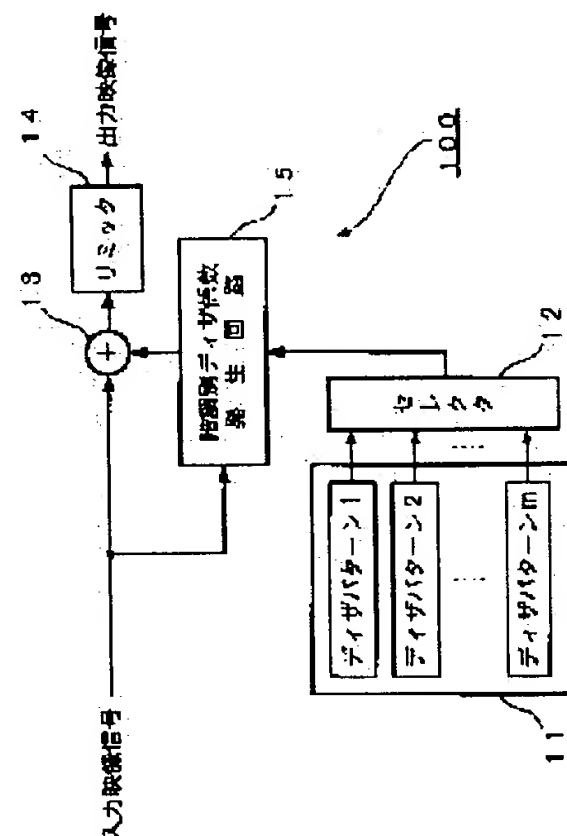
(72)Inventor : MASUCHI SHIGEHIRO
AIBA HIDEKI

(54) CIRCUIT AND METHOD FOR PROCESSING VIDEO SIGNAL OF MATRIX TYPE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To smoothen adaptively a gradation characteristic, to improve continuity in a gradation and to effectively reduce a conspicuous pseudo outline-like picture quality disturbance in a low luminous picture as a whole.

SOLUTION: A dither matrix pattern generator 11 generates plural dither matrix patterns. A selector 12 selects one of the dither matrix patterns. A by gradation dither coefficient generation circuit 15 divides the gradation of a video signal to plural areas, and generates a dither coefficient pattern according to the selected dither matrix pattern at every plural areas. An adder 13 adds the dither coefficient pattern to the video signal.



LEGAL STATUS

[Date of request for examination]

28.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3473454

[Date of registration]

19.09.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-148068

(P2000-148068A)

(43) 公開日 平成12年5月26日 (2000.5.26)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
G 0 9 G 3/20	6 3 2	G 0 9 G 3/20	6 3 2 G 5 B 0 5 7
G 0 6 T 5/00		5/36	5 2 0 C 5 C 0 5 8
G 0 9 G 5/36	5 2 0	H 0 4 N 5/66	A 5 C 0 7 7
H 0 4 N 1/405		G 0 6 F 15/68	3 2 0 A 5 C 0 8 0
// H 0 4 N 5/66		H 0 4 N 1/40	C 5 C 0 8 2
審査請求 未請求 請求項の数 8 O L (全 16 頁)			

(21) 出願番号 特願平10-315743

(22) 出願日 平成10年11月6日 (1998.11.6)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 増地 重博

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(72) 発明者 相羽 英樹

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

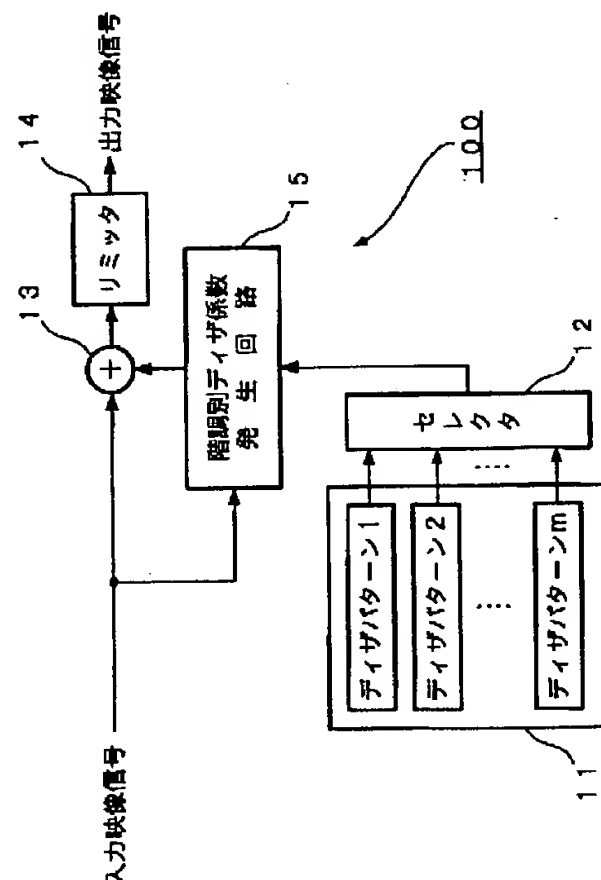
最終頁に続く

(54) 【発明の名称】 マトリクス型表示装置の映像信号処理回路及び映像信号処理方法

(57) 【要約】

【課題】 階調特性を適応的に滑らかにして階調の連続性を向上させると共に、全体的に低輝度な画面における目立ちやすい疑似輪郭状の画質妨害を効果的に低減することができるマトリクス型表示装置の映像信号処理回路を提供する。

【解決手段】 ディザマトリクスパターン発生器11は、複数のディザマトリクスパターンを発生する。セレクタ12はディザマトリクスパターンの1つを選択する。階調別ディザ係数発生回路15は、映像信号の階調を複数の領域に分け、この複数の領域毎に、選択されたディザマトリクスパターンに応じて、ディザ係数パターンを発生する。加算器13は、映像信号にディザ係数パターンを加算する。



【特許請求の範囲】

【請求項1】複数の画素がマトリクス状に形成されたパネルに映像信号を入力するに際し、複数のディザ係数をマトリクス状にしたディザ係数パターンを前記映像信号に加算して前記映像信号の階調を補正するマトリクス型表示装置の映像信号処理回路において、

前記パネルの画素を構成するドットに対して、いかなる位置関係でディザ係数を対応させるかを表す複数のディザマトリクスパターンを発生するディザマトリクスパターン発生器と、

前記ディザマトリクスパターン発生器が発生する複数のディザマトリクスパターンの1つを選択するセレクタと、

前記映像信号の階調を複数の領域に分け、この複数の領域毎に、前記セレクタによって選択されたディザマトリクスパターンに応じて、複数のディザ係数を前記映像信号に加算するためのディザ係数パターンとして発生する階調別ディザ係数発生回路と、

前記映像信号に前記ディザ係数パターンを加算する加算器とを備えて構成したことを特徴とするマトリクス型表示装置の映像信号処理回路。

【請求項2】前記階調別ディザ係数発生回路によって発生するディザ係数の重み付けを、前記映像信号の階調が小さい領域となるに従って大きくしたことを特徴とする請求項1記載のマトリクス型表示装置の映像信号処理回路。

【請求項3】前記セレクタが選択するディザマトリクスパターンを時間的もしくは前記パネルの位置的に切り換える手段を設けたことを特徴とする請求項1または2に記載のマトリクス型表示装置の映像信号処理回路。

【請求項4】複数の画素がマトリクス状に形成されたパネルに映像信号を入力するに際し、複数のディザ係数をマトリクス状にしたディザ係数パターンを前記映像信号に加算して前記映像信号の階調を補正するマトリクス型表示装置の映像信号処理回路において、

前記映像信号の階調を検出する階調検出手段と、

前記ディザ係数パターンを前記映像信号の選択された部分的な階調のみに加算する部分的加算手段とを備えて構成したことを特徴とするマトリクス型表示装置の映像信号処理回路。

【請求項5】複数の画素がマトリクス状に形成されたパネルに映像信号を入力するに際し、複数のディザ係数をマトリクス状にしたディザ係数パターンを前記映像信号に加算して前記映像信号の階調を補正するマトリクス型表示装置の映像信号処理方法において、

前記パネルの画素を構成するドットに対して、いかなる位置関係でディザ係数を対応させるかを表すディザマトリクスパターンを選択する第1のステップと、

前記映像信号の階調を検出する第2のステップと、

前記第1のステップで選択したディザマトリクスパター

ンと、前記第2のステップで検出した前記映像信号の階調とに応じて、複数のディザ係数を前記映像信号に加算するためのディザ係数パターンとして発生する第3のステップと、

前記映像信号に前記ディザ係数パターンを加算する第4のステップとを含むことを特徴とするマトリクス型表示装置の映像信号処理方法。

【請求項6】前記第3のステップは、前記映像信号の階調が小さい領域となるに従って前記ディザ係数の重み付けを大きくするディザ係数パターンとして発生することを特徴とする請求項5記載のマトリクス型表示装置の映像信号処理方法。

【請求項7】前記ディザ係数パターンを時間的もしくは前記パネルの位置的に切り換える第5のステップを設けたことを特徴とする請求項5または6に記載のマトリクス型表示装置の映像信号処理方法。

【請求項8】複数の画素がマトリクス状に形成されたパネルに映像信号を入力するに際し、前記パネル内の画素を構成する複数のドットをマトリクス状にした部分的な区画に対して、その区画のドットに印加するドットデータに所定のディザ係数を加算して前記映像信号の階調を補正するマトリクス型表示装置の映像信号処理方法において、

前記区画内の個々のドットデータの階調を検出する第1のステップと、

前記第1のステップで検出された前記ドットデータの階調に応じて、前記区画のドットそれぞれで、前記区画と同じ大きさのマトリクス状の複数のディザ係数パターンより1つのディザ係数パターンを選択する第2のステップと、

前記第2のステップで選択されたそれぞれのディザ係数パターンより、前記ディザ係数パターンを構成する前記区画のドットの位置に対応したディザ係数を抽出する第3のステップと、

前記第3のステップで抽出されたディザ係数を合成して前記区画に加算する最終的なディザ係数パターンを生成する第4のステップとを含むことを特徴とするマトリクス型表示装置の映像信号処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力映像信号に逆ガンマ補正処理を施してリニアな階調に戻して画像表示するマトリクス型表示装置に用いられる映像信号処理回路及び映像信号処理方法に係り、特に、プラズマディスプレイパネル表示装置（PDP）、フィールドエミッションディスプレイ装置（FED）、デジタルマイクロミラーデバイス（DMD）、エレクトロルミネッセンスディスプレイ（EL）等のように、デジタル的に限られた中間階調を表現する際の階調特性を向上させることができるマトリクス型表示装置の映像信号処理回路及びその

処理方法に関する。

【0002】

【従来の技術】映像信号を表示するマトリクス型表示装置の内、例えば、1フィールドを複数のサブフィールドに分割して階調表示するPDPや、PWM変調によって階調表示を行うELやFED等の表示装置においては、駆動方法によってはデジタル的に制限された階調数でしか映像を表現することができない。また、ガンマ特性がかけられた映像信号に対し、逆ガンマ補正処理を施してリニアな階調に戻すことが必要である。

【0003】そこで、マトリクス型表示装置では、デジタル的に制限された階調数で映像を表示する際、逆ガンマ補正処理を施してリニアな階調に戻す際に損なわれる階調の直線性を滑らかにするために、一例としてディザ法を用いて多階調化処理を行っている。

【0004】ディザ法による多階調化処理は、隣接する複数の画素（ドット）を1組としてディザマトリクスを構成し、損なわれた階調分の中間階調をこのディザマトリクス内の個々のディザ係数で表現するのが一般的な処理方法である。例えば、表示装置が6ビットの階調能力しかなく、8ビットのドットデータの上位6ビットにより階調表示する場合は、隣接する2×2ドットのディザマトリクスを構成し、そのディザマトリクス内で不足した2ビット分のノイズパターンを重畳することによって、視覚的な積分効果を利用して8ビット相当の階調表示を行う。

【0005】図9は、ディザ法を用いて多階調化処理を行う映像信号処理回路と逆ガンマ補正回路とを備えたマトリクス型表示装置の全体構成の一例を示している。ここでは、マトリクス型表示装置の一例としてPDPとしている。図9において、映像信号は映像信号処理回路100に入力され、後に詳述するディザ法によって多階調化が図られ、逆ガンマ補正回路200に入力される。逆ガンマ補正回路200は、入力された映像信号に逆ガンマ補正を施し、PDP300に入力する。なお、映像信号は、R、G、B信号である。従って、実際には、映像信号処理回路100と逆ガンマ補正回路200は、R、G、B信号で3系統必要である。

【0006】ここで、図10を用いて、映像信号処理回路100の一般的構成について説明する。図10において、ディザマトリクス係数発生器1は、 $n \times n$ ドットのマトリクスであるディザ係数パターン（以下、ディザパターン）を複数種類（ここでは、 m 種類）発生する。なお、ここでは、 m が3以上の如く図示しているが、 $m=2$ 、即ち、2種類のディザパターンを発生するものであってもよい。ディザマトリクス係数発生器1は、ROMで構成してもよく、あるいは、ソフトウェアによって構成することもできる。

【0007】セレクタ2は、ディザマトリクス係数発生器1からの m 種類のディザパターンの1つを選択し、加

算器3に入力する。加算器3には、例えばデジタル変換された映像信号が入力され、加算器3は、入力された映像信号とセレクタ2によって選択されたディザパターンとを加算し、リミッタ4に入力する。リミッタ4は、加算器3の出力の下位ビットを削減して出力する。リミッタ4より出力された映像信号は、原信号と比較して階調数は減少するが、見かけ上、原信号と同等の階調数に増加された多階調化信号となっている。

【0008】図11は、従来用いていたディザパターンの例である。図11(A)、(B)において、a、b、c、dで示す4つのドットよりなる区画は、縦（行）×横（列）で2×2ドットのマトリクスによるディザ係数を示している。なお、ドットとは、R、G、Bよりなる画素を構成する1つを言う。この2×2ドットのディザ係数は、後述するように、PDP300のパネル上のドットデータに対応して、映像信号に加算される。例えば、奇数行のドットデータにはディザ係数a、b、a、b、…が行頭の画素より順に加算され、偶数行のドットデータには、ディザ係数c、d、c、d、…が行頭の画素より順に加算される。さらに詳細には、a、b、c、dなるディザ係数は、R、G、Bそれぞれで同一色の隣接した4つのドットに対して加算されることになる。

【0009】図11(A)に示す例では、a、b、c、dをそれぞれ0、1、2、3としたディザパターン①と、a、b、c、dをそれぞれ3、2、1、0としたディザパターン②との2種類のパターンを用い、このディザパターン①、②を1フィールド毎に交互に切り換えるようにしたものである。

【0010】図11(B)に示す例では、a、b、c、dをそれぞれ0、1、2、3としたディザパターン①と、a、b、c、dをそれぞれ2、0、3、1としたディザパターン②と、a、b、c、dをそれぞれ3、2、1、0としたディザパターン③と、a、b、c、dをそれぞれ1、3、0、2としたディザパターン④との4種類のパターンを用い、このディザパターン①～④をフィールド周期で規則的に巡回させて切り換えるようにしたものである。

【0011】図12(A)、(B)は、図11(A)に示すディザパターン①、②を用いた場合の、図10に示す映像信号処理回路100による演算処理の例を示している。図12(A)、(B)では、入力された映像信号（原信号）が8ビットで、a、b、c、dのディザ係数に対応したドットデータが、9、17、3、5で、(A)はディザパターン①を、(B)はディザパターン②を加算する場合である。

【0012】図12(A)においては、8ビットの原信号に加算器3によってディザパターン①が加算され、9、17、3、5なる原信号は、9、18、5、8なるデータとなる。このままでは、データの値が8ビットを超えるので、リミッタ4によって原信号のビット数によ

る値を超えた分（いわゆるオーバーフロー）を制限すると共に、下位2ビットを切り捨て、8, 16, 4, 8なる6ビットの信号とする。ここでは、6ビットの信号を4の倍数にて表現している。従って、実際には、下位2ビットを切り捨てて6ビットとした信号は、2, 4, 1, 2である。この6ビットの映像信号は、ディザパターン①が加算されることによって、見かけ上、8ビットに階調数が増加した多階調化信号となっている。

【0013】なお、PDP300が8ビットの表示能力を有していれば、必ずしも6ビットに制限する必要はなく、8ビットのデータを超えた部分のみリミッタ4によって制限すれば、10ビット相当の多階調表示を行うことができる。上記のようにマトリクス型表示装置が6ビットしか階調能力がない場合は、6ビットに制限して原信号と同等の8ビット相当の多階調表示を行えばよい。

【0014】図12(B)においては、8ビットの原信号に加算器3によってディザパターン②が加算され、9, 17, 3, 5なる原信号は、12, 19, 4, 5なるデータとなる。実際には、このままでは、データの値が8ビットを超えるので、リミッタ4によって原信号のビット数による値を超えた分（オーバーフロー）を制限すると共に、下位2ビットを切り捨て、12, 16, 4, 4なる6ビットの信号とする。ここでも、6ビットの信号を4の倍数にて表現している。従って、実際には、下位2ビットを切り捨てて6ビットとした信号は、3, 4, 1, 1である。この6ビットの映像信号は、ディザパターン②が加算されることによって、見かけ上、階調数が増加した多階調化信号となっている。図12(A), (B)に示す出力映像信号は、1フィールド毎に交互に切り換えられる。

【0015】なお、図11(B)の場合も同様の演算が行われる。図11(B)の場合は、4種類のディザパターン①～④がフィールド周期で規則的に巡回して切り換えられるので、より空間的に滑らかな多階調化信号となる。

【0016】ここで、PDP300のパネル上のドットデータとディザ係数との対応について説明する。図13において、301はPDP300のパネルを示しており、302はR, G, Bよりなる画素を構成するドットを示している。図13に示すように、パネル301は、N行×M列の複数のドット302より構成されており、a, b, c, dのディザ係数は、それぞれのドット302に印加するドットデータに対応して加算される。ここでは、簡略化のため、R, G, Bの1つの色のドットにてパネル301を構成するよう図示しているが、実際には、R, G, Bの各ドットが行方向に順次並んでパネル301を構成する。

【0017】

【発明が解決しようとする課題】以上説明したようなマトリクス型表示装置においては、逆ガンマ補正回路20

0によって逆ガンマ補正処理を施してリニアな階調に戻して表示するので、低輝度レベルの階調数が損なわれ、しばしば階調の連続性がなくなることによって起因する画質妨害をもたらすことがある。特に、PDP300の場合では、1フィールドを発光量の重み付けの異なる複数のサブフィールドによって構成し、そのサブフィールドを複数選択することによって階調を表現する。従って、サブフィールドの選択状況によっては、隣接階調に対する視覚的な輝度差が大きくなり、その結果、静止画像及び動画像において疑似輪郭状の画質妨害が発生してしまうことがある。

【0018】そこで、PDP300の場合では、ディザ法による多階調化処理を施して階調の直線性を滑らかにすると同時に、疑似輪郭状の画質妨害を低減するようにしている。しかしながら、従来は、全ての階調に対して一律のディザ係数で構成されたディザパターンを加算していたため、特に、中輝度レベルから高輝度レベルにおいて生じるサブフィールドの選択数が大きく変化する階調付近等では、設定するディザ係数によっては隣接階調に対する輝度差がさらに強調される場合があり、疑似輪郭状の画質妨害が悪化してしまうことがあるという問題点があった。

【0019】また、通常、逆ガンマ補正処理を施した際に発生する階調の損失の程度は低輝度レベルから高輝度レベルまでの階調によって異なり、特に、低輝度レベルの領域ではその損失の程度が大きく異なる。従来は、全ての階調に対して一律のディザ係数で構成されたディザパターンを加算していたため、一部の階調に対してしか効果的な補正を行うことができないという問題点があった。

【0020】本発明はこのような問題点に鑑みなされたものであり、階調特性を適応的に滑らかにして階調の連続性を向上させると共に、全体的に低輝度な画面における目立ちやすい疑似輪郭状の画質妨害を効果的に低減することができ、さらに、ビット数を削減する必要がなく、画質の良好な映像を表示することができるマトリクス型表示装置の映像信号処理回路及び映像信号処理方法を提供することを目的とする。

【0021】

【課題を解決するための手段】本発明は、上述した従来の技術の課題を解決するため、(1)複数の画素がマトリクス状に形成されたパネルに映像信号を入力するに際し、複数のディザ係数をマトリクス状にしたディザ係数パターンを前記映像信号に加算して前記映像信号の階調を補正するマトリクス型表示装置の映像信号処理回路において、前記パネルの画素を構成するドットに対して、いかなる位置関係でディザ係数を対応させるかを表す複数のディザマトリクスパターンを発生するディザマトリクスパターン発生器と、前記ディザマトリクスパターン発生器が発生する複数のディザマトリクスパターンの1

つを選択するセレクタと、前記映像信号の階調を複数の領域に分け、この複数の領域毎に、前記セレクタによって選択されたディザマトリクスパターンに応じて、複数のディザ係数を前記映像信号に加算するためのディザ係数パターンとして発生する階調別ディザ係数発生回路と、前記映像信号に前記ディザ係数パターンを加算する加算器とを備えて構成したことを特徴とするマトリクス型表示装置の映像信号処理回路を提供し、(2)複数の画素がマトリクス状に形成されたパネルに映像信号を入力するに際し、複数のディザ係数をマトリクス状にしたディザ係数パターンを前記映像信号に加算して前記映像信号の階調を補正するマトリクス型表示装置の映像信号処理回路において、前記映像信号の階調を検出する階調検出手段と、前記ディザ係数パターンを前記映像信号の選択された部分的な階調のみに加算する部分的加算手段とを備えて構成したことを特徴とするマトリクス型表示装置の映像信号処理回路を提供し、(3)複数の画素がマトリクス状に形成されたパネルに映像信号を入力するに際し、複数のディザ係数をマトリクス状にしたディザ係数パターンを前記映像信号に加算して前記映像信号の階調を補正するマトリクス型表示装置の映像信号処理方法において、前記パネルの画素を構成するドットに対して、いかなる位置関係でディザ係数を対応させるかを表すディザマトリクスパターンを選択する第1のステップと、前記映像信号の階調を検出する第2のステップと、前記第1のステップで選択したディザマトリクスパターンと、前記第2のステップで検出した前記映像信号の階調とに応じて、複数のディザ係数を前記映像信号に加算するためのディザ係数パターンとして発生する第3のステップと、前記映像信号に前記ディザ係数パターンを加算する第4のステップとを含むことを特徴とするマトリクス型表示装置の映像信号処理方法を提供し、(4)複数の画素がマトリクス状に形成されたパネルに映像信号を入力するに際し、前記パネル内の画素を構成する複数のドットをマトリクス状にした部分的な区画に対して、その区画のドットに印加するドットデータに所定のディザ係数を加算して前記映像信号の階調を補正するマトリクス型表示装置の映像信号処理方法において、前記区画内の個々のドットデータの階調を検出する第1のステップと、前記第1のステップで検出された前記ドットデータの階調に応じて、前記区画のドットそれぞれで、前記区画と同じ大きさのマトリクス状の複数のディザ係数パターンより1つのディザ係数パターンを選択する第2のステップと、前記第2のステップで選択されたそれぞれのディザ係数パターンより、前記ディザ係数パターンを構成する前記区画のドットの位置に対応したディザ係数を抽出する第3のステップと、前記第3のステップで抽出されたディザ係数を合成して前記区画に加算する最終的なディザ係数パターンを生成する第4のステップとを含むことを特徴とするマトリクス型表示装置の映像信号

処理方法を提供するものである。

【0022】

【発明の実施の形態】以下、本発明のマトリクス型表示装置の映像信号処理回路及び映像信号処理方法について、添付図面を参照して説明する。図1は本発明のマトリクス型表示装置の映像信号処理回路の一実施例を示すブロック図、図2は本発明のマトリクス型表示装置の映像信号処理回路で用いるディザパターンの一例を示す図、図3は図2に示すディザパターン内のディザ係数を階調群毎に設定する際のディザ係数の具体的な一例を示す図、図4及び図5は本発明のマトリクス型表示装置の映像信号処理回路及び映像信号処理方法による最終的なディザ係数の決定方法を説明するための図、図6は図4もしくは図5に示すディザ係数の決定方法によって決定したディザ係数の具体的な一例を示す図、図7は図4に示すディザ係数の決定方法によって決定したディザ係数の具体的な他の一例を示す図、図8は図6(A)に示すディザパターンを用いた場合の演算処理を説明するための図である。

【0023】ディザ法を用いて多階調化処理を行う映像信号処理回路と逆ガンマ補正回路とを備えたマトリクス型表示装置の全体構成は、図9で説明した通りである。図9はマトリクス型表示装置の全体構成の一例を示したものであり、この構成に限定されるものではない。映像信号処理回路100によるディザ法を用いた信号処理と逆ガンマ補正回路200による逆ガンマ補正処理は、図9の順でなくてもよく、また、同一ブロックにて同時に行うような構成であってもよい。

【0024】本発明の映像信号処理回路100は、図1に示すように構成される。図1において、ディザマトリクスパターン発生器11は、一例として、 $n \times n$ ドットのマトリクスからなるディザマトリクスパターン（以下、ディザパターン）を複数種類（ここでは、 m 種類）発生する。なお、ここでは、 m が3以上の如く図示しているが、 $m=2$ 、即ち、2種類のディザパターンを発生するものであってもよい。ディザマトリクスパターン発生器11は、ROMで構成してもよく、あるいは、ソフトウェアによって構成することもできる。

【0025】本発明が従来例と大きく異なるのは、ディザマトリクスパターン発生器11は、ディザ係数パターンそのもの、即ち、ディザパターン内の個々のディザ係数を発生するのではなく、ディザパターンの位置情報のみを発生する点である。さらに詳細には、ディザマトリクスパターン発生器11は、パネル301のドット302における1つの区画（マトリクス）に対して、いかなる位置関係でディザ係数を対応させるかを表すパターンを発生するものである。従って、このディザマトリクスパターン発生器11の出力段の時点では、まだ、ディザパターン内の個々のディザ係数は決定されていない。

【0026】セレクタ12は、ディザマトリクスパター

ン発生器11からのm種類のディザパターンの1つを選択し、階調別ディザ係数発生回路15に入力する。階調別ディザ係数発生回路15と加算器13には、例えばデジタル変換された映像信号が入力される。階調別ディザ係数発生回路15は、入力された映像信号の階調を検出し、予め設定した階調以下の映像信号についてさらに複数の階調群に分け、その階調群毎で共通に、ディザパターン内の個々のディザ係数を設定する。このとき、予め設定した階調以上では、ディザパターン内の個々のディザ係数を全て0として設定する。なお、複数の階調群としたが1つの階調群であってもよい。

【0027】そして、階調別ディザ係数発生回路15は、セクタ12によって選択されたディザパターンと、入力された映像信号の階調群とに対応して、ディザパターン内の個々のディザ係数を決定する。階調別ディザ係数発生回路15が発生したディザ係数は加算器13に入力される。加算器13は、入力された映像信号と階調別ディザ係数発生回路15が発生したディザ係数とを加算し、リミッタ14に入力する。リミッタ14は、加算器13の出力における原信号のビット数による値を超えた分（いわゆるアンダーフロー）を制限して出力する。従来と同様、マトリクス型表示装置の階調能力に応じて、加算器13の出力のビット（下位ビット）を制限して出力してもよい。

【0028】図2は、本発明で用いるディザパターンの例である。図2（A）、（B）において、a、b、c、dで示す4つのドットよりなる区画は、縦（行）×横（列）で2×2ドットのマトリクスによるディザパターンを示している。この2×2ドットのディザパターンは、図13で説明したように、PDP300におけるパネル301のドット302に印加するドットデータに対応した位置情報として設定される。例えば、図2

（A）、（B）のディザパターン①では、奇数行のドットデータにはディザパターンa、b、a、b、…が行頭のドットより順に加算され、偶数行のドットデータには、ディザパターンc、d、c、d、…が行頭のドットより順に加算される。図2（A）のディザパターン②では、奇数行のドットデータにはディザパターンd、c、d、c、…が行頭のドットより順に加算され、偶数行のドットデータには、ディザパターンb、a、b、a、…が行頭のドットより順に加算される。

【0029】図2（A）に示す例では、a、b、c、dとしたディザパターン①と、d、c、b、aとしたディザパターン②との2種類のパターンを用い、このディザパターン①、②を例えば1フィールド毎に交互に切り換えるようにしたものである。図2（B）に示す例では、a、b、c、dとしたディザパターン①と、d、a、c、bとしたディザパターン②と、c、d、b、aとしたディザパターン③と、b、c、a、dとしたディザパターン④との4種類のパターンを用い、このディザパ

ターン①～④を例えばフィールド周期で規則的に巡回させて切り換えるようにしたものである。なお、図13に示す例は、ディザパターン①をパネル301のドット302に対応させた状態を示している。

【0030】前述のように、本発明においては、加算器13に入力するディザパターンは、ディザマトリクスパターン発生器11から出力する時点では、ディザパターン内の個々のディザ係数は決定されていない。図2のように、個々のディザ係数の位置情報のみが決定している。個々のディザ係数は、この位置情報を基にして、階調別ディザ係数発生回路15で最終的に決定する。以下に、その処理方法について詳細に説明する。

【0031】図3は、本発明の階調別ディザ係数発生回路15で階調群毎に設定するディザパターン内の個々のディザ係数の一例を示したものである。ここでは、図2（A）のように、ディザパターン①、②の2種類のパターンを用いる場合について示している。この例では、256階調で入力される入力映像信号において、階調63以下の階調についてディザ係数を設定する。階調63以下を（A）：階調0～15、（B）：階調16～31、（C）：階調32～47、（D）：階調48～63の4種類の階調群に分け、それぞれについて異なるディザ係数を設定している。

【0032】例えば、図3（A）の階調0～15においては、ディザパターンa、b、c、dのディザ係数をそれぞれ5、3、-3、-5と設定し、図3（B）の階調16～31においては、ディザパターンa、b、c、dのディザ係数をそれぞれ4、2、-2、-4と設定している。図3（C）の階調32～47においては、ディザパターンa、b、c、dのディザ係数をそれぞれ3、1、-1、-3と設定し、図3（D）における階調48～63においては、ディザパターンa、b、c、dのディザ係数をそれぞれ2、1、-1、-2と設定している。ディザパターン①、②を構成する具体的なディザ係数は、図3に示す如くである。

【0033】上記のディザパターンの一例では、図11に示す従来例とは異なり、正のディザ係数と負のディザ係数の双方を備え、1つのディザパターン内におけるディザ係数の総和が0となるようにしている。

【0034】本発明では、逆ガンマ補正処理を施した際に損なわれる階調の連続性を滑らかにすることを主な目的として、原信号（入力映像信号）にディザ係数を加算するので、隣接階調に対する視覚的な輝度差が大きく目立ちやすくなる低階調部だけにディザ係数を加算する。特に、サブフィールド分割により階調表現するPDP300の場合では、この低階調部の中でも階調レベルが小さくなるに従って階調の損失の程度が大きくなる。従って、全ての低階調部において階調の連続性を向上させるため、ディザ係数の重み付けを階調レベル毎に可変し、階調が小さくなるに従って重み付け（即ち、係数の絶対

値)を大きくしている。

【0035】図4及び図5は、最終的に原信号に加算する2×2ドットのディザパターンにおける個々のディザ係数の決定方法を示している。図4は図2(A)におけるディザパターン①の場合であり、図5は図2(A)におけるディザパターン②の場合である。この例では、図13におけるパネル301の第1～2行、第1～2列の2×2ドットのディザパターンにおける個々のディザ係数の決定方法を示している。パネル301の他の区画(マトリクス)でも全く同様である。

【0036】まず、図2(A)のディザパターン①を用いる場合において、図4に示すように、第1行1列の階調が12、第1行2列の階調が18、第2行1列の階調が33、第2行2列の階調が57であるとする。このとき、第1行1列は、階調が12であるので、図3(A)に示す5、3、-3、-5が選択され、その中で、aの位置に相当するディザ係数5が選択される。第1行2列は、階調が18であるので、図3(B)に示す4、2、-2、-4が選択され、その中で、bの位置に相当するディザ係数2が選択される。第2行1列は、階調が33であるので、図3(C)に示す3、1、-1、-3が選択され、その中で、cの位置に相当するディザ係数-1が選択される。第2行2列は、階調が57であるので、図3(D)に示す2、1、-1、-2が選択され、その中で、dの位置に相当するディザ係数-2が選択される。このようにして、最終的に決定されるディザパターンの個々のディザ係数は、5、2、-1、-2となる。

【0037】次に、図2(A)のディザパターン②を用いる場合においても、図5に示すように、第1行1列の階調が12、第1行2列の階調が18、第2行1列の階調が33、第2行2列の階調が57であるとする。このとき、第1行1列は、階調が12であるので、図3(A)に示す-5、-3、3、5が選択され、その中で、aの位置に相当するディザ係数-5が選択される。第1行2列は、階調が18であるので、図3(B)に示す-4、-2、2、-4が選択され、その中で、bの位置に相当するディザ係数-2が選択される。第2行1列は、階調が33であるので、図3(C)に示す-3、-1、1、3が選択され、その中で、cの位置に相当するディザ係数1が選択される。第2行2列は、階調が57であるので、図3(D)に示す-2、-1、1、2が選択され、その中で、dの位置に相当するディザ係数2が選択される。このようにして、最終的に決定されるディザパターンの個々のディザ係数は、-5、-2、1、2となる。

【0038】図2(B)に示すディザパターン①～④を用いる場合も同様に、パネル301を構成するそれぞれドット302に印加するドットデータの階調に応じて個々のディザ係数を決定する。

【0039】このように、本発明においては、階調別デ

ィザ係数発生回路15が、パネル301内でディザパターンを加算する1つの区画であるマトリクスを構成する個々のドットデータの階調を検出する。階調別ディザ係数発生回路15は階調検出手段としても動作している。なお、階調検出手段を階調別ディザ係数発生回路15とは別に設けてもよい。そして、検出したドットデータの階調に応じて、マトリクスのドットそれぞれで、図3に示す具体的なディザ係数のディザパターン(ディザ係数パターン)を選択し、そのディザパターンより、マトリクスのドットの位置に対応したディザ係数を抽出する。次に、抽出したディザ係数を合成して1つのマトリクスに加算する最終的なディザパターンを生成する。

【0040】図6は、以上のようにして決定し、加算器13によって入力された映像信号に加算するディザパターンを示している。図6において、(A)は図2(A)の場合に相当し、(B)は図2(B)の場合に相当する。図6(A)の例では、上記のように、ディザパターン①、②を例えば1フィールド毎に交互に切り換える。図6(B)の例では、上記のように、ディザパターン①～④をフィールド周期で規則的に巡回させて切り換える。

【0041】図6の例では、1つのドット302に対して加算するディザ係数を時間方向に積分すると、0となることが分かる。即ち、1つのドット302において時間的に見ると、正のディザ係数と負のディザ係数の双方を備え、1つのドット302におけるディザ係数の総和が0となるようにしたディザパターンを加算することになる。従って、映像信号にディザパターンを加算しても全体的に階調が増えることがない。このようにすると、映像信号にディザ係数を加算しても、ノイズとして目立ちにくくなり、従来例の問題点であった輝度差がさらに強調されて疑似輪郭状の画質妨害が悪化するということが発生せず、より画質の良好な映像を表示することが可能である。

【0042】図6は、図2(A)、(B)のように、ディザパターンの位置情報が異なる複数のパターンを用い、図4もしくは図5に示す最終的なディザ係数の決定方法によってディザパターン内の個々のディザ係数をそれぞれ決定し、実際に加算する複数のディザパターンを得たものである。実際に加算する複数のディザパターンを得る他の方法として、次のようにしてもよい。ディザパターンの位置情報として、例えば、図2(A)、

(B)のディザパターン①のみを用い、図4に示す最終的なディザ係数の決定方法によってディザパターン内における個々のディザ係数の1つを決定する。そして、その決定したディザ係数の位置をディザパターンのマトリクス内で移動させることにより、他のディザパターンを得る。

【0043】図7はこの他の方法によって得た複数のディザパターンを示している。図2(A)、(B)のディ

ザパターン①のみを用いると、図4の決定方法によって、ディザパターンの個々のディザ係数は、5、2、-1、-2となる。このディザパターンを①とすると、図7(A)の例では、ディザパターン①を対角方向に入れ換えたものを、ディザパターン②としている。このディザパターン①、②を例えば1フィールド毎に交互に切り換える。

【0044】図7(B)に示す例では、ディザパターン①を1つずつ周方向に右回りにずらしたものを、ディザパターン②～④としている。このディザパターン①～④を例えばフィールド周期で規則的に巡回させて切り換える。ディザパターンの位置情報として、図2(A)のディザパターン②を用い、図5に示す最終的なディザ係数の決定方法によってディザパターン内における個々のディザ係数の1つを決定し、その決定したディザ係数の位置をディザパターンのマトリクス内で移動させることにより、他のディザパターンを得てもよい。図2(B)のディザパターン②～④のいずれかを用いてもよい。

【0045】図8(A)、(B)は、図6(A)に示すディザパターン①、②を用いた場合の、図1に示す映像信号処理回路100による演算処理の例を示している。図8(A)、(B)は、入力された映像信号(原信号)が8ビットで、第1行1列、第1行2列、第2行1列、第2行2列のディザ係数に対応したドットデータが、9、17、3、5で、(A)はディザパターン①を、(B)はディザパターン②を加算する場合である。

【0046】図8(A)においては、8ビットの原信号に加算器13によってディザパターン①が加算され、9、17、3、5なる原信号は、14、19、2、3なるデータとなる。このままでは、データの値が0よりも小さいマイナスの値に関してのみ8ビットを超えることがあるので、リミッタ14によって8ビットのデータを越えた部分(アンダーフロー)のみ制限する。なお、PDP300が6ビットの表示能力しかなければ、リミッタ14によって下位2ビットを切り捨て、12、16、0、0なる6ビットの信号としてもよい。ここでも、6ビットの信号を4の倍数にて表現している。従って、実際には、下位2ビットを切り捨てて6ビットとした信号は、3、4、0、0である。

【0047】図8(B)においては、8ビットの原信号に加算器13によってディザパターン②が加算され、9、17、3、5なる原信号は、4、15、4、7なるデータとなる。このままでは、データの値が0よりも小さいマイナスの値に関してのみ8ビットを超えることがあるので、リミッタ14によって8ビットのデータを越えた部分(アンダーフロー)のみ制限する。図8

(A)、(B)に示す出力映像信号は、例えば1フィールド毎に交互に切り換えられる。

【0048】図6(B)の場合も同様の演算が行われる。図6(B)の場合は、4種類のディザパターン①～

④がフィールド周期で規則的に巡回して切り換えられるので、より空間的に滑らかな多階調化信号となる。また、図7(A)、(B)の場合も同様に演算が行われる。

【0049】以上のように、本発明では、入力された映像信号の階調を複数の階調群に分け、それぞれに適したディザ係数を有するディザパターンを加算するようにしている。従って、全ての階調に対して効果的な補正を行うことが可能となる。また、本発明では、逆ガンマ補正処理を施した際に発生する階調の損失の程度が大きい低輝度レベルの領域(一例として、階調63以下)において、ディザパターンを加算するようにしているので、映像信号の階調が全体的に増えてしまうことがない。従って、従来のように、リミッタ14によって下位ビットを削減する必要がないので、原信号と全く同じ階調数を維持した良好な映像を表示することが可能である。なお、好ましい実施形態として、階調が小さくなるに従ってディザ係数の重み付けを大きくしているので、より効果的な補正を行うことができる。

【0050】特に、図6の例では、1つのドット302において時間的に見ると、正のディザ係数と負のディザ係数の双方を備え、1つのドット302におけるディザ係数の総和が0となるようにしたディザパターンを加算することになるので、映像信号にディザパターンを加算しても全体的に階調が増えることがないので、好ましい実施形態であると言える。

【0051】ところで、図4、図5の例では、本発明の要旨を理解しやすいよう、隣接するドット302の階調が大きく異なっている場合について示した。隣接するドット302の階調があまり相違せず、図3(A)～

(D)に示す同じ階調群の中にあれば、図4もしくは図5に示す最終的なディザ係数の決定方法によって決定した複数のディザパターンは、図3(A)～(D)に示すディザパターンと同一となる。上記のように、図3

(A)～(D)に示すディザパターンでは、1つのディザパターン内におけるディザ係数の総和が0となるようにしているので、実際に加算するディザパターン内におけるディザ係数の総和も0となる。従って、隣接するドット302の階調が図3(A)～(D)に示す同じ階調群の中にあるときには、映像信号にディザ係数を加算しても、ノイズとして目立ちにくくなる。

【0052】本発明は以上説明した本実施例に限定されることはない。本実施例では、1フィールド毎にディザパターンを変更するようにしたが、それに限定されることはない。1フレーム毎にディザパターンを変更してもよいし、隣接ブロック毎にディザパターンを変更したり、区画(マトリクス)とドットとの対応関係を変更してもよい。即ち、ディザパターンを時間的もしくはPDP300におけるパネル301上の位置的に変更すればよい。

【0053】本実施例では、正と負のディザ係数を用いてディザパターンを構成しているが、これは原信号と同じ階調数にするためであり、ディザ係数の加算を階調の連続性を滑らかにするためだけに使用しているからである。但し、ディザ係数の設定は上記に限定されることなく、従来例と同様に、表示能力の不足分を補充するという目的も考慮して、最終的なディザ係数を設定してもよい。このようにすれば、そのように設定した階調の領域に対しては、階調の連続性を滑らかにすることだけでなく、見かけ上、階調数を増加させることができる。

【0054】また、本実施例では、予め設定した階調以下の低階調部のみにディザ係数を加算しているが、それに限定されることはない。低階調部のみだけでなく、中階調部や高階調部のみでもよく、全階調に対してディザ係数を加算してもよい。目的に応じて、ディザ係数を加算する階調の位置を適宜選択すればよい。この場合も、階調が小さくなるに従ってディザ係数の重み付けを大きくするように設定することがより好ましいが、これに限定されることはない。最終的に画像表示するマトリクス型表示装置の階調特性に合わせて、ディザ係数の重み付けを可変させたディザパターンを適宜最適化すればよい。

【0055】

【発明の効果】以上詳細に説明したように、本発明のマトリクス型表示装置の映像信号処理回路及び映像信号処理方法は、映像信号の階調を複数の領域に分け、この複数の領域毎に適切なディザ係数パターンを加算するようにしたので、階調特性が滑らかに平均的に変換され、隣接階調に対する視覚的な輝度差が大幅に減少し、階調の連続性を向上させることができると共に、低階調部における疑似輪郭状の画質妨害も効果的に削減することができる。さらに、ビット数を削減することなく、原信号と全く同じ階調数を維持したり、あるいは、見かけ上、階調数を増加させて階調表示することができるので、より*

*画質の良好な映像を表示することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】本発明で用いるディザパターンの一例を示す図である。

【図3】図2に示すディザパターン内のディザ係数を階調群毎に設定する際のディザ係数の具体的な一例を示す図である。

【図4】本発明による最終的なディザ係数の決定方法を説明するための図である。

【図5】本発明による最終的なディザ係数の決定方法を説明するための図である。

【図6】図4もしくは図5に示すディザ係数の決定方法によって決定したディザ係数の具体的な一例を示す図である。

【図7】図4に示すディザ係数の決定方法によって決定したディザ係数の具体的な他の一例を示す図である。

【図8】図6(A)に示すディザパターンを用いた場合の演算処理を説明するための図である。

【図9】マトリクス型表示装置の全体構成の一例を示すブロック図である。

【図10】従来例を示すブロック図である。

【図11】従来用いていたディザパターンの一例を示す図である。

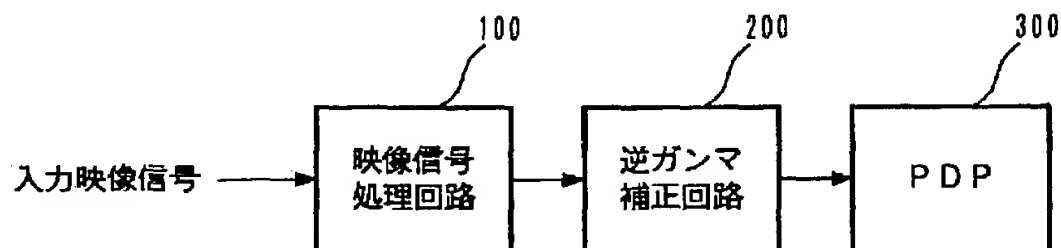
【図12】図11に示すディザパターンを用いた場合の演算処理を説明するための図である。

【図13】マトリクス型表示装置におけるドットとディザ係数との対応を説明するための図である。

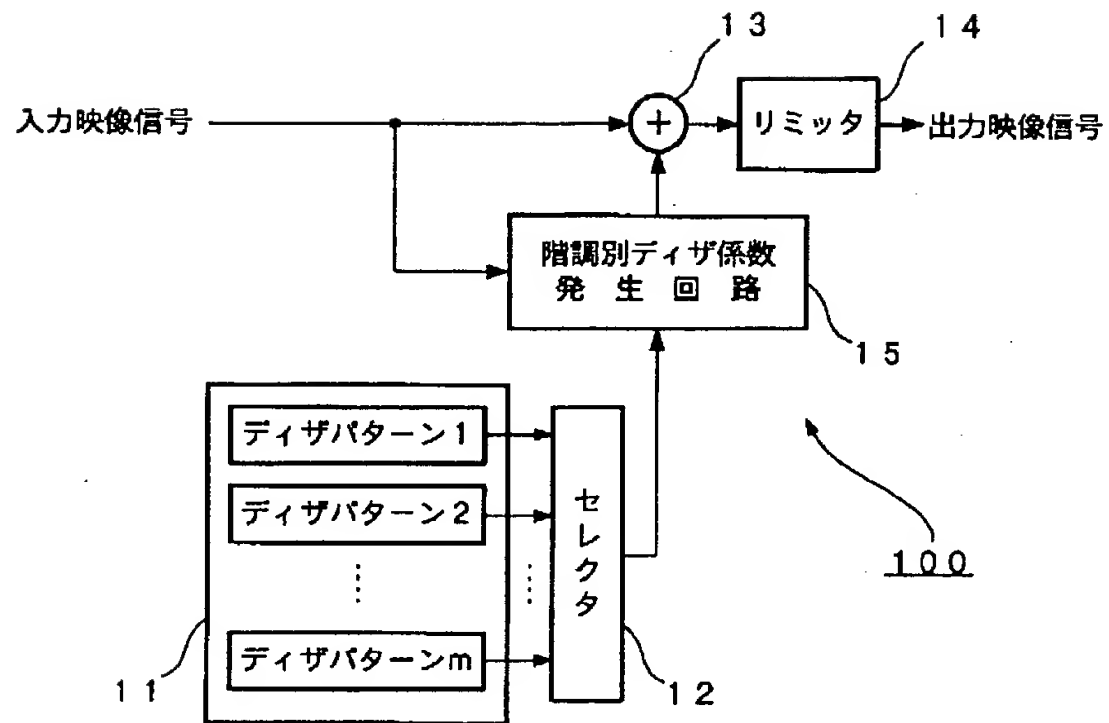
【符号の説明】

- 11 ディザマトリクスパターン発生器
- 12 セレクタ
- 13 加算器
- 14 リミッタ
- 15 階調別ディザ係数発生回路(階調検出手段)

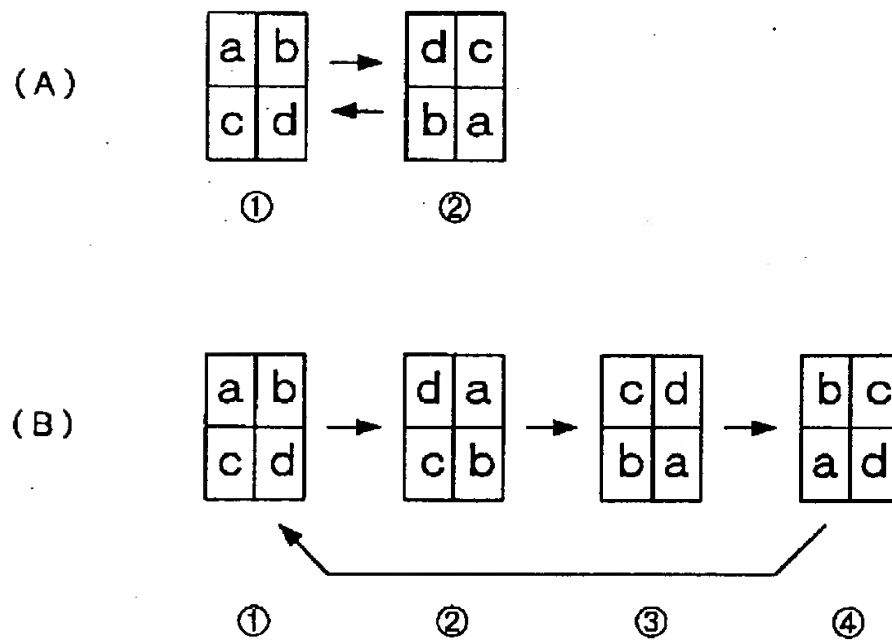
【図9】



【図1】



【図2】



【図3】

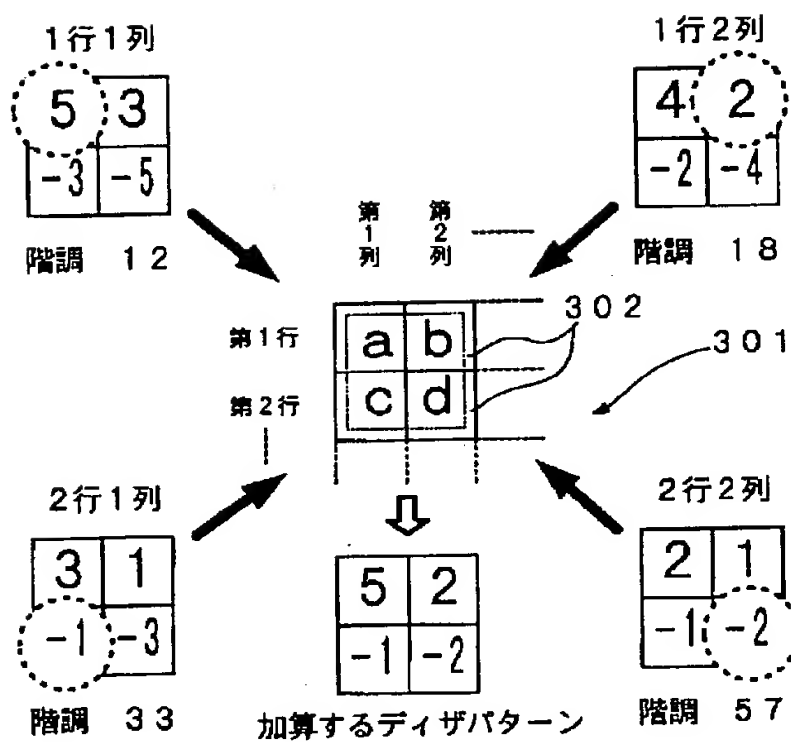
(A) 階調 0 ~ 15 : $\begin{bmatrix} a & b \\ c & d \end{bmatrix} = \begin{bmatrix} 5 & 3 \\ -3 & -5 \end{bmatrix}$, $\begin{bmatrix} d & c \\ b & a \end{bmatrix} = \begin{bmatrix} -5 & -3 \\ 3 & 5 \end{bmatrix}$

(B) 階調 16 ~ 31 : $\begin{bmatrix} a & b \\ c & d \end{bmatrix} = \begin{bmatrix} 4 & 2 \\ -2 & -4 \end{bmatrix}$, $\begin{bmatrix} d & c \\ b & a \end{bmatrix} = \begin{bmatrix} -4 & -2 \\ 2 & 4 \end{bmatrix}$

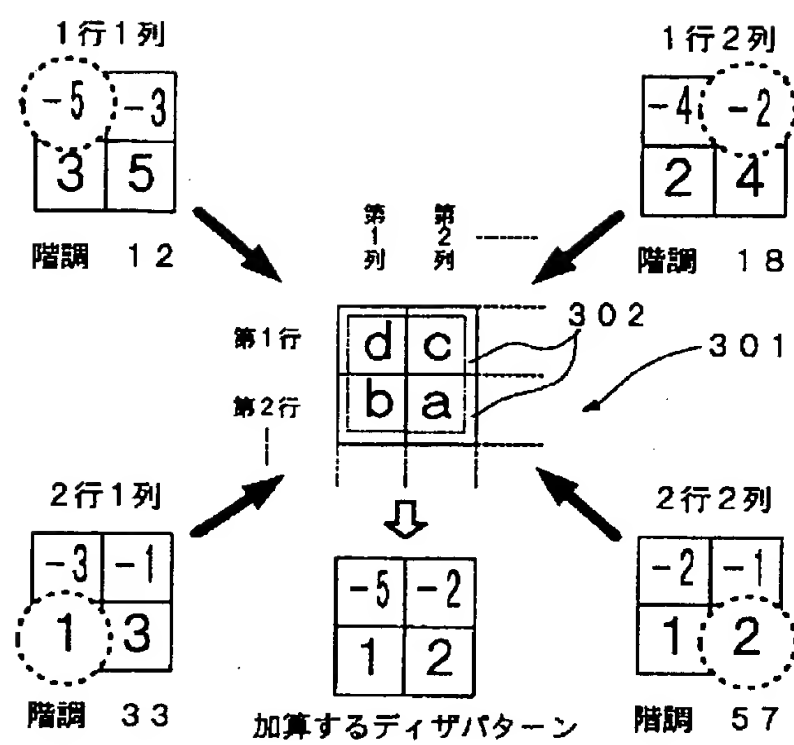
(C) 階調 32 ~ 47 : $\begin{bmatrix} a & b \\ c & d \end{bmatrix} = \begin{bmatrix} 3 & 1 \\ -1 & -3 \end{bmatrix}$, $\begin{bmatrix} d & c \\ b & a \end{bmatrix} = \begin{bmatrix} -3 & -1 \\ 1 & 3 \end{bmatrix}$

(D) 階調 48 ~ 63 : $\begin{bmatrix} a & b \\ c & d \end{bmatrix} = \begin{bmatrix} 2 & 1 \\ -1 & -2 \end{bmatrix}$, $\begin{bmatrix} d & c \\ b & a \end{bmatrix} = \begin{bmatrix} -2 & -1 \\ 1 & 2 \end{bmatrix}$

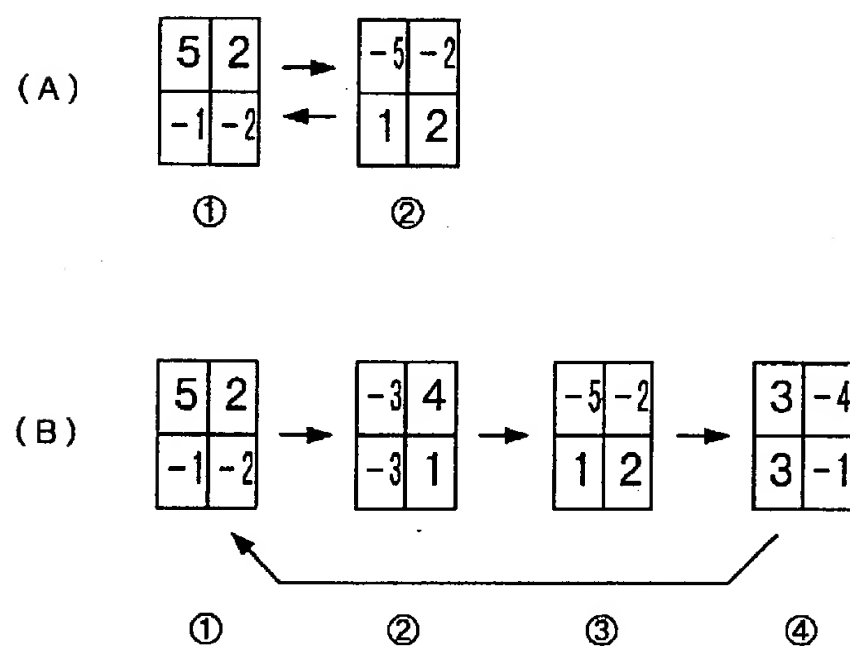
【図4】



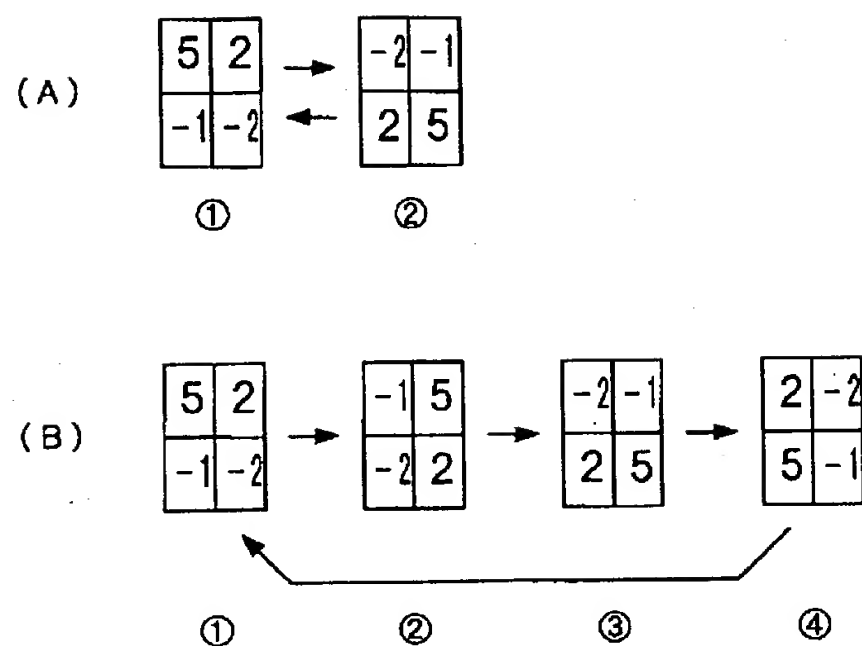
【図5】



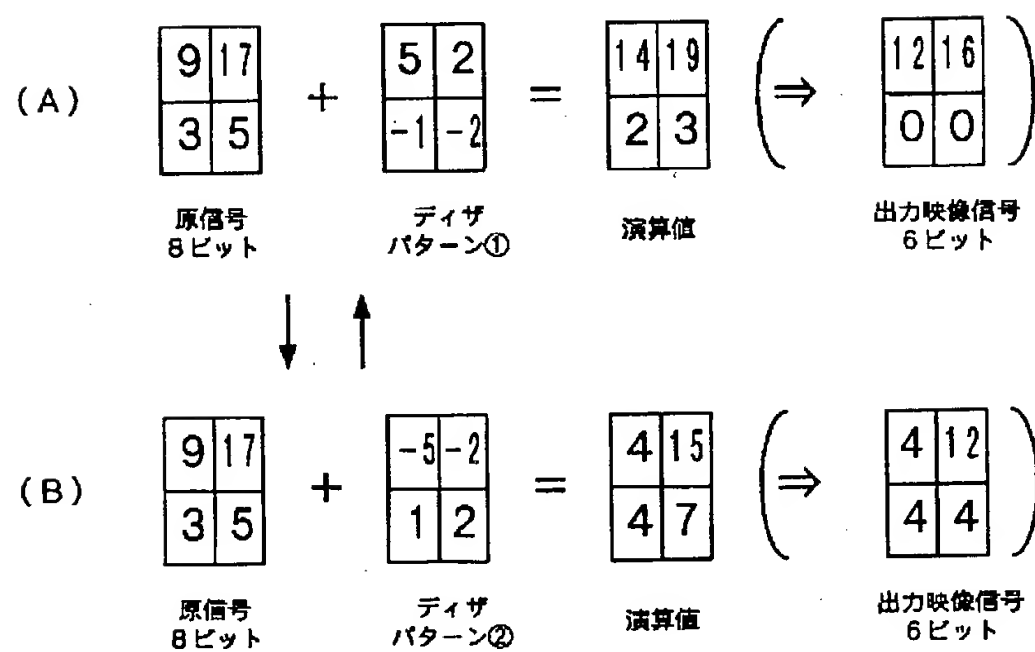
【図6】



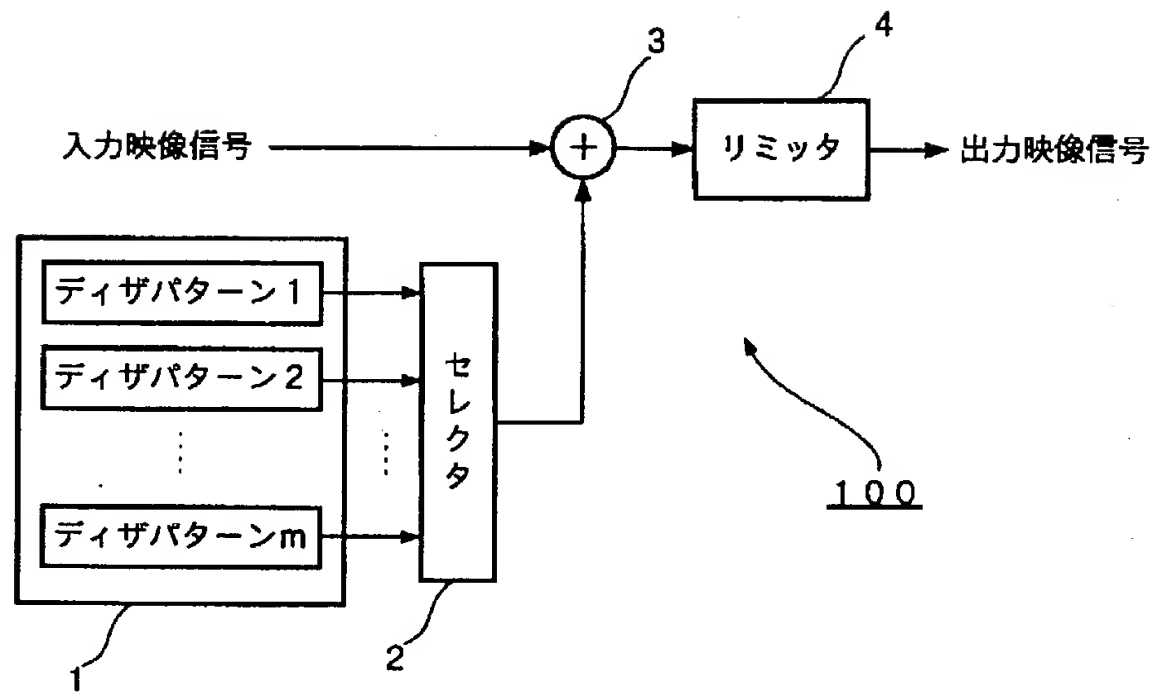
【図7】



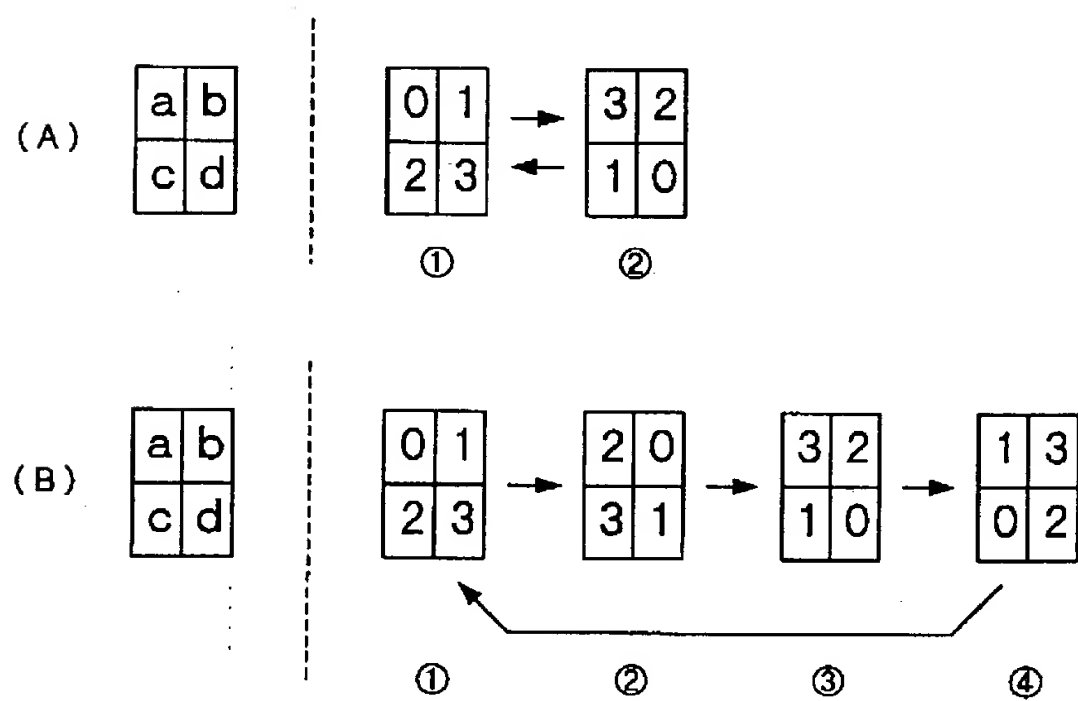
【図8】



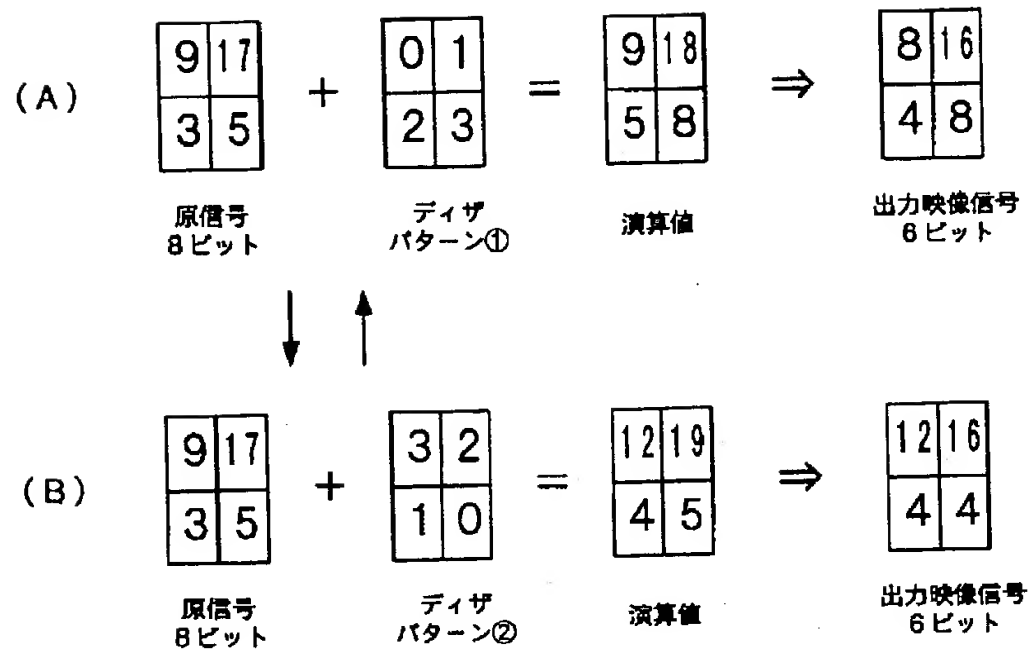
【図10】



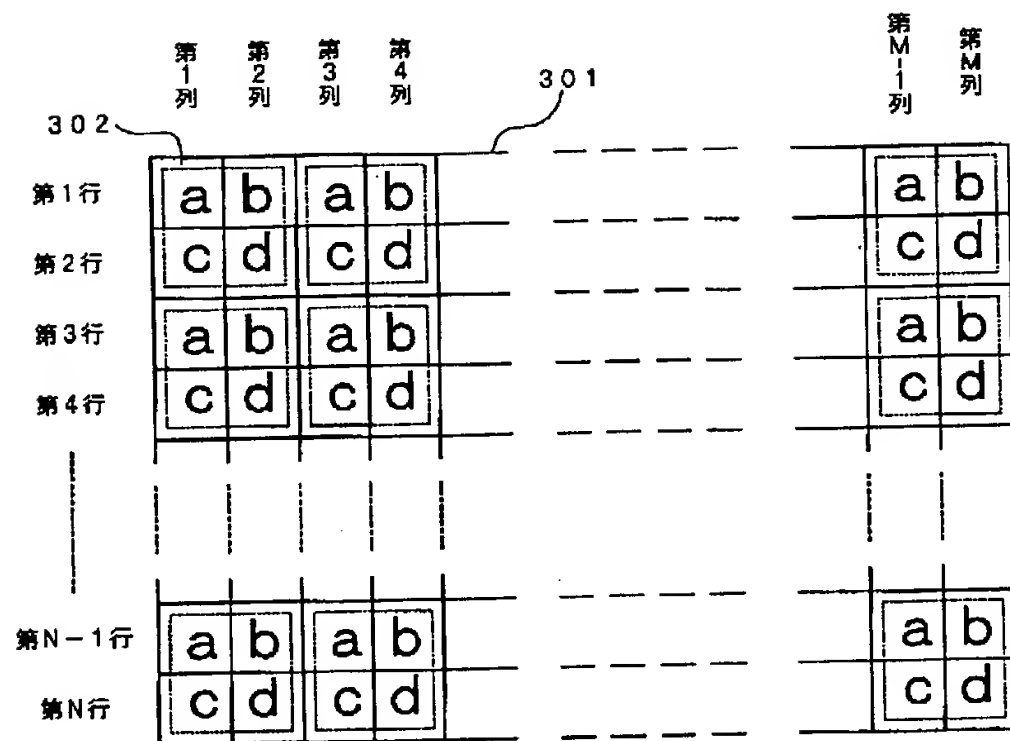
【図11】



【図12】



【図13】



フロントページの続き

F ターム(参考) 5B057 CA08 CA12 CA16 CB07 CB12
CB16 CC01 CE13
5C058 AA11 AA12 AA18 BA07 BA35
BB14 BB25
5C077 MP01 NN02 NN09 NN19 PP15
PP32 RR09
5C080 AA05 BB05 DD02 EE19 EE29
GG08 JJ01 JJ02 JJ05
5C082 AA02 BA20 BA39 BA41 BD02
CA22 DA51 MM10